

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S): Hironobu KARIYAZONO

U.S.S.N.: Not Yet Assigned

ART UNIT: Not Yet Assigned

FILED: HERewith

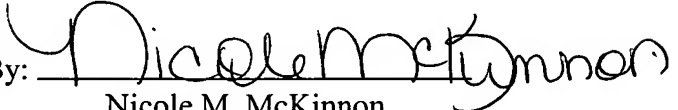
EXAMINER: Not Yet Assigned

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

\*\*\*\*\*

**CERTIFICATE OF EXPRESS MAILING (Label No.: EV 342614303 US)**

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. section 1.10, on September 26, 2003 and is addressed to Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

By:   
Nicole M. McKinnon

\*\*\*\*\*

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF CERTIFIED COPIES**

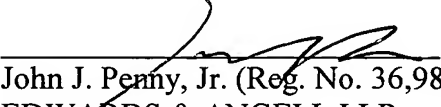
Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: JAPAN  
Application Number: 2002-281080  
Filing Date: 26 September 2002

Respectfully submitted,

Date: September 26, 2003  
Customer No. 21874

  
John J. Penny, Jr. (Reg. No. 36,984)  
EDWARDS & ANGELL LLP  
P.O. Box 9169  
Boston, MA 02209  
Tel: (617) 439-4444

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2002年 9月26日

出願番号  
Application Number:

特願2002-281080

[ ST.10/C ]:

[ JP 2002-281080 ]

出願人  
Applicant(s):

セイコーエプソン株式会社

2003年 6月18日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3047065

【書類名】 特許願

【整理番号】 EP-0392301

【提出日】 平成14年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/04

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 仮屋園 広宣

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大淵 美千栄

    【電話番号】 03-5397-0891

【手数料の表示】

    【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 抵抗導電層と、MOSトランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

前記抵抗導電層の形成領域において、前記半導体層の上方に第 1 絶縁層を形成し、

前記MOSトランジスタの形成領域において、素子分離領域を形成し、

前記抵抗導電層の形成領域において、前記第 1 絶縁層の上に抵抗導電層を形成し、

前記抵抗導電層の形成領域において、該抵抗導電層を覆うように保護層を形成し、

前記MOSトランジスタの形成領域において、前記半導体層の表面を露出させ

、  
前記半導体層の表面を熱酸化することにより、前記半導体層上に第 2 絶縁層を形成し、

少なくとも前記第 2 絶縁層の上にゲート導電層を形成し、

前記MOSトランジスタの形成領域において、前記ゲート導電層および前記第 2 絶縁層をパターニングすることによって、ゲート電極およびゲート絶縁層を形成すること、を含む、半導体装置の製造方法。

【請求項 2】 抵抗導電層と、MOSトランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

前記抵抗導電層の形成領域において、前記半導体層の上方に第 1 絶縁層を形成し、

前記MOSトランジスタの形成領域において、素子分離領域を形成し、

前記抵抗導電層の形成領域において、前記第 1 絶縁層の上に抵抗導電層を形成し、

前記抵抗導電層の形成領域において、前記抵抗導電層の上に保護層を形成し、

前記MOSトランジスタの形成領域において、前記半導体層の表面を露出させ

、  
前記半導体層の表面を熱酸化することにより、前記半導体層上に第2絶縁層を形成し、

前記抵抗導電層の側面に第3絶縁層を形成し、

少なくとも前記第2絶縁層の上にゲート導電層を形成し、

前記MOSトランジスタの形成領域において、前記ゲート導電層および前記第2絶縁層をパターニングすることによって、ゲート電極およびゲート絶縁層を形成すること、を含む、半導体装置の製造方法。

【請求項3】 請求項1または2において、

前記ゲート導電層は、ポリシリコン層と金属層との積層体である、半導体装置の製造方法。

【請求項4】 請求項1ないし3のいずれかにおいて、

前記抵抗導電層は、ポリシリコン層である、半導体装置の製造方法。

【請求項5】 請求項1ないし4のいずれかにおいて、

前記第1絶縁層および前記素子分離領域は同一工程にて形成される、半導体装置の製造方法。

【請求項6】 請求項5において、

前記第1絶縁層および前記素子分離領域は、前記半導体層の表面を酸化することにより形成される、半導体装置の製造方法。

【請求項7】 請求項1ないし6のいずれかにおいて、

前記抵抗導電層と、ソースドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の前記半導体層上に混載された半導体装置の製造方法であって、

前記MOSトランジスタは、前記高耐圧トランジスタである、半導体装置の製造方法。

【請求項8】 請求項1ないし7のいずれかにおいて、

前記第2絶縁層は、前記MOSトランジスタの形成領域において、前記半導体層のうち少なくとも前記ゲート電極が形成される領域を露出させた後、該表面を

熱酸化することにより形成される、半導体装置の製造方法。

【請求項 9】 請求項 1 において、

前記半導体層は、表面にシリコン基板を含む層であり、

前記第 1 および第 2 絶縁層は、酸化シリコン層であり、

前記保護層は、窒化シリコン層または酸化窒化シリコン層である、半導体装置の製造方法。

【請求項 10】 請求項 2 において、

前記半導体層は、少なくとも表面にシリコン層を含む層であり、

前記第 1、第 2 および第 3 絶縁層は、酸化シリコン層であり、

前記保護層は、窒化シリコン層または酸化窒化シリコン層である、半導体装置の製造方法。

【請求項 11】 請求項 2 において、

前記第 2 絶縁層および前記第 3 絶縁層は同一工程にて形成される、半導体装置の製造方法。

【請求項 12】 請求項 11 において、

前記第 2 絶縁層および前記第 3 絶縁層はそれぞれ、前記半導体層の表面および前記抵抗導電層の側面を酸化することにより形成される、半導体装置の製造方法。

。

【請求項 13】 半導体装置であって、

半導体層と、

前記半導体層上に形成された MOS トランジスタと、

前記半導体層上に絶縁層を介して形成された抵抗導電層と、

を含み、

前記 MOS トランジスタは、

ゲート絶縁層と、

前記ゲート絶縁層の上に形成されたゲート電極と、

を含む、半導体装置。

【請求項 14】 請求項 13 において、

前記ゲート電極は、ポリシリコン層と金属層との積層体からなる、半導体装置

。

【請求項 1 5】 請求項 1 3 または 1 4 において、  
前記抵抗導電層は、ポリシリコン層である、半導体装置。

【請求項 1 6】 請求項 1 3 ないし 1 5 のいずれかにおいて、  
前記半導体層は、少なくとも表面にシリコン層を含む層であり、  
前記ゲート絶縁層は、酸化シリコン層である、半導体装置。

【請求項 1 7】 請求項 1 3 ないし 1 6 のいずれかにおいて、  
前記半導体層上に形成され、ソースドレイン間耐圧が異なる絶縁ゲート型の  
高耐圧トランジスタおよび低耐圧トランジスタと、を含み、

前記 MOS トランジスタは、前記高耐圧トランジスタである、半導体装置。

【請求項 1 8】 請求項 1 3 ないし 1 7 のいずれかにおいて、  
さらに、前記抵抗導電層を覆うように形成された保護層を含む、半導体装置。

【請求項 1 9】 請求項 1 3 ないし 1 7 のいずれかにおいて、  
さらに、前記抵抗導電層上に形成された保護層を含む、半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、抵抗導電層を含む新規な半導体装置およびその製造方法に関する。

【0 0 0 2】

【背景技術】

半導体層に形成される抵抗素子として、例えばポリシリコン層からなる抵抗導電層が用いられている（例えば、特許文献 1 参照）。近年、製造プロセスの簡略化を図るべく、この抵抗素子と、MOS (Metal Oxide Semiconductor) 構造を有するトランジスタ（以下、「MOS トランジスタ」とする）とを同一の半導体層上に効率良く形成するために、これらの製造プロセスを一部共通化する要請が高まっている。

【0 0 0 3】

【特許文献 1】

特開昭 6 1 - 2 4 2 0 5 8 号公報



【 0 0 0 4 】

【発明が解決しようとする課題】

本発明の目的は、抵抗素子およびMOSトランジスタを効率良く同一の半導体層上に形成できる半導体装置の製造方法を提供することにある。

【 0 0 0 5 】

また、本発明の目的は、抵抗素子およびMOSトランジスタが同一の半導体層上に形成された半導体装置を提供することにある。

【 0 0 0 6 】

【課題を解決するための手段】

1. 第1の半導体装置の製造方法

本発明の第1の半導体装置の製造方法は、

抵抗導電層と、MOSトランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

前記抵抗導電層の形成領域において、前記半導体層の上方に第1絶縁層を形成し、

前記MOSトランジスタの形成領域において、素子分離領域を形成し、

前記抵抗導電層の形成領域において、前記第1絶縁層の上に抵抗導電層を形成し、

前記抵抗導電層の形成領域において、該抵抗導電層を覆うように保護層を形成し、

前記MOSトランジスタの形成領域において、前記半導体層の表面を露出させ

、  
前記半導体層の表面を熱酸化することにより、前記半導体層上に第2絶縁層を形成し、

少なくとも前記第2絶縁層の上にゲート導電層を形成し、

前記MOSトランジスタの形成領域において、前記ゲート導電層および前記第2絶縁層をパターンングすることによって、ゲート電極およびゲート絶縁層を形成すること、を含む。

【 0 0 0 7 】

本明細書において、抵抗導電層とは、半導体層の上方に形成され、抵抗素子として機能する導電層をいう。

【 0 0 0 8 】

本発明の第 1 の半導体装置の製造方法によれば、前記第 2 絶縁層を形成する際に、前記抵抗導電層が前記保護層によって覆われている状態で、前記半導体層の表面を前記熱酸化することにより、前記抵抗導電層の酸化を防止することができる。これにより、所望の抵抗値を有する抵抗導電層を形成することができる。上記作用効果については、本発明の実施の形態の欄で詳述する。

【 0 0 0 9 】

この場合、前記半導体層は、表面にシリコン基板を含む層であり、前記第 1 および第 2 絶縁層は、酸化シリコン層であり、前記保護層は、窒化シリコン層または酸化窒化シリコン層であることができる。

## 2. 第 2 の半導体装置の製造方法

本発明の第 2 の半導体装置の製造方法は、

抵抗導電層と、MOS トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

前記抵抗導電層の形成領域において、前記半導体層の上方に第 1 絶縁層を形成し、

前記MOS トランジスタの形成領域において、素子分離領域を形成し、

前記抵抗導電層の形成領域において、前記第 1 絶縁層の上に抵抗導電層を形成し、

前記抵抗導電層の形成領域において、前記抵抗導電層の上に保護層を形成し、

前記MOS トランジスタの形成領域において、前記半導体層の表面を露出させ

、

前記半導体層の表面を熱酸化することにより、前記半導体層上に第 2 絶縁層を形成し、

前記抵抗導電層の側面に第 3 絶縁層を形成し、

少なくとも前記第 2 絶縁層の上にゲート導電層を形成し、

前記MOSトランジスタの形成領域において、前記ゲート導電層および前記第2絶縁層をパターニングすることによって、ゲート電極およびゲート絶縁層を形成すること、を含む。

【0010】

本発明の第2の半導体装置の製造方法によれば、前記第2絶縁層を形成する際に、前記抵抗導電層の上に前記保護層が形成されている状態で、前記半導体層の表面を前記熱酸化することにより、前記抵抗導電層の酸化を防止することができる。これにより、所望の抵抗値を有する抵抗導電層を形成することができる。

【0011】

この場合、前記半導体層は、少なくとも表面にシリコン層を含む層であり、前記第1、第2および第3絶縁層は、酸化シリコン層であり、前記保護層は、窒化シリコン層または酸化窒化シリコン層であることができる。

【0012】

また、この場合、前記第2絶縁層および前記第3絶縁層は同一工程にて形成できる。さらに、前記第2絶縁層および前記第3絶縁層はそれぞれ、前記半導体層の表面および前記抵抗導電層の側面を酸化することにより形成できる。

【0013】

また、本発明の第1および第2半導体装置の製造方法は、以下の(1)～(5)の態様をとることができる。

【0014】

(1) 前記ゲート導電層は、ポリシリコン層と金属層との積層体であることができる。これにより、前記ゲート電極の低抵抗化が図られ、ゲート配線の遅延が改善できる。

【0015】

(2) 前記抵抗導電層は、ポリシリコン層であることができる。

【0016】

(3) 前記第1絶縁層および前記素子分離領域は同一工程にて形成されることことができる。これにより、製造プロセスの効率化を図ることができる。この場合、前記第1絶縁層および前記素子分離領域は、前記半導体層の表面を酸化すること

により形成できる。

【 0 0 1 7 】

(4) 前記抵抗導電層と、ソースドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の前記半導体層上に混載された半導体装置の製造方法であって、

前記MOSトランジスタは、前記高耐圧トランジスタであることができる。

【 0 0 1 8 】

高耐圧トランジスタは一般に、高電圧に耐え得るように、ゲート絶縁層の膜厚が大きく形成されている。ゲート絶縁層を膜厚を大きく形成する場合、前記抵抗導電層が露出した状態で前記半導体層の表面を熱酸化すると、前記抵抗導電層が大きく酸化されてしまう。したがって、上記本発明の半導体装置の製造方法を用いることによって、前記抵抗導電層の酸化を防止することによって得られるメリットが大きい。

【 0 0 1 9 】

(5) 前記第2絶縁層は、前記MOSトランジスタの形成領域において、前記半導体層のうち少なくとも前記ゲート電極が形成される領域を露出させた後、該表面を熱酸化することにより形成できる。

### 3. 半導体装置

本発明の半導体装置は、  
半導体層と、  
前記半導体層上に形成されたMOSトランジスタと、  
前記半導体層上に絶縁層を介して形成された抵抗導電層と、  
を含み、  
前記MOSトランジスタは、  
ゲート絶縁層と、  
前記ゲート絶縁層の上に形成されたゲート電極と、  
を含む。

【 0 0 2 0 】

本発明の第1および第2半導体装置の製造方法は、以下の(1)～(6)の態

様をとることができる。

【 0 0 2 1 】

(1) 前記ゲート電極は、ポリシリコン層と金属層との積層体からなることができる。

【 0 0 2 2 】

(2) 前記抵抗導電層は、ポリシリコン層であることができる。

【 0 0 2 3 】

(3) 前記半導体層は、少なくとも表面にシリコン層を含む層であり、前記ゲート絶縁層は、酸化シリコン層であることができる。

【 0 0 2 4 】

(4) 前記半導体層上に形成され、ソースドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタと、を含み、前記MOSトランジスタは、前記高耐圧トランジスタであることができる。

【 0 0 2 5 】

(5) さらに、前記抵抗導電層を覆うように形成された保護層を含むことができる。

【 0 0 2 6 】

(6) さらに、前記抵抗導電層上に形成された保護層を含むことができる。

【 0 0 2 7 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【 0 0 2 8 】

〔第1の実施の形態〕

1. 半導体装置の構造

図1は、本発明を適用した第1の実施の形態に係る半導体装置を模式的に示す断面図である。図2は、図1に示す抵抗導電層24を模式的に示す平面図である。図3は、図1に示すMOSトランジスタ200を高耐圧トランジスタとして用いた半導体装置を模式的に示す断面図である。なお、図1に示す断面は図2のA-A線に沿った断面である。

## 【 0 0 2 9 】

本実施の形態の半導体装置は、図 1 に示すように、抵抗素子 1 0 0 と MOS トランジスタ 2 0 0 とを含む。この抵抗素子 1 0 0 および MOS トランジスタ 2 0 0 は同一の半導体層上に混在している。なお、本実施の形態の半導体装置においては、前記半導体層として、p 型シリコン基板からなる半導体基板 1 0 を用いた場合について説明する。また、MOS トランジスタ 2 0 0 のゲート電極 2 0 は、ドーフトポリシリコン層 1 6 と金属層 1 8 との積層体からなるが、このような構造も通常、MOS 構造と呼ばれている。

## 【 0 0 3 0 】

抵抗素子 1 0 0 は図 1 に示すように、抵抗導電層 2 4 を含む。この抵抗導電層 2 4 は、半導体基板 1 0 上に形成された第 1 絶縁層 2 2 上に設置されている。抵抗導電層 2 4 はドーフトポリシリコンからなる。また、抵抗素子 1 0 0 には、抵抗導電層 2 4 を覆うように保護層 2 6 が形成されている。保護層 2 6 は例えば窒化シリコン膜または酸化窒化シリコン膜からなる。

## 【 0 0 3 1 】

また、抵抗導電層 2 4 には、不純物が導入されている。この抵抗導電層 2 4 の抵抗値は、導入される不純物の種類および量を適宜調整することにより所望の値に設定することができる。抵抗導電層 2 4 には、p 型または n 型不純物を導入することができる。

## 【 0 0 3 2 】

図 2 に示すように、この抵抗導電層 2 4 の上にはコンタクト 9 0, 9 2 が形成されている。このコンタクト 9 0, 9 2 はそれぞれ配線層（図示せず）と接続されている。これにより、抵抗導電層 2 4 はコンタクト 9 0, 9 2 を介して前記配線層と電氣的に接続されている。

## 【 0 0 3 3 】

MOS トランジスタ 2 0 0 は、図 1 に示すように、ゲート絶縁層 1 4 と、ゲート電極 2 0 とを含む。ゲート電極 2 0 はゲート絶縁層 1 4 の上に形成されている。本実施の形態においては、ゲート絶縁層 1 4 は酸化シリコン層からなり、ゲート電極 2 0 はポリシリコン層 1 6 および金属層 1 8 からなる。すなわち、ゲート

電極 2 0 はポリサイド構造を有する。これにより、ゲート電極の低抵抗化が図られ、ゲート配線の遅延が改善されている。ポリシリコン層 1 6 はドーフトポリシリコンからなる。また、金属層 1 8 に用いる金属としては、例えばタングステン、モリブデンが挙げられる。

#### 【 0 0 3 4 】

MOS トランジスタ 2 0 0 はさらに、n 型のソース／ドレイン領域 1 7, 1 9 を含む。このソース／ドレイン領域 1 7, 1 9 は、ゲート電極 2 0 を挟むように形成されている。このソース／ドレイン領域 1 7, 1 9 はそれぞれオフセット領域 3 7, 3 9 内に形成されている。なお、このソース／ドレイン領域 1 7, 1 9 上には、必要に応じてシリサイド層を形成することもできる。

#### 【 0 0 3 5 】

本実施の形態の半導体装置において、MOS トランジスタ 2 0 0 は p 型ウエル 1 1 内に形成されている。この p 型ウエル 1 1 内にオフセット領域 3 7, 3 9 が形成され、オフセット領域 3 7, 3 9 内にそれぞれソース／ドレイン領域 1 7, 1 9 が形成されている。

#### 【 0 0 3 6 】

この半導体装置は図 3 に示すように、トリプルウエル構造を有する。具体的には、領域 H V において、p 型シリコン基板からなる半導体基板 1 0 内に n 型ウエル 5 1 が形成され、この n 型ウエル 5 1 内に p 型ウエル 1 1 が形成されている。さらに、図 3 に示すように、半導体基板 1 0 には n 型ウエル 4 1 と p 型ウエル 6 1 とが形成されている。

#### 【 0 0 3 7 】

本実施の形態の半導体装置では、図 3 に示すように、抵抗素子 1 0 0 とともに、高耐圧トランジスタおよび低耐圧トランジスタが同一の半導体基板 1 0 上に形成されており、MOS トランジスタ 2 0 0 は高耐圧トランジスタとして機能する。

#### 【 0 0 3 8 】

すなわち、本実施の形態の半導体装置には、図 3 に示すように、同一の半導体基板 1 0 上に、抵抗素子 1 0 0 とともに、高耐圧トランジスタおよび低耐圧トラン

ンジスタが混在している。図 1 に示す抵抗素子 1 0 0 と MOS トランジスタ 2 0 0 は、図 3 に示す半導体装置の一部を抜き出して示したものである。

#### 【 0 0 3 9 】

図 3 において、領域 H V は、高耐圧トランジスタが形成されている領域を示し、領域 L V は、低耐圧トランジスタが形成されている領域を示す。また、領域 H V p は、高耐圧 P チャンネル MOS ( p MOS ) トランジスタ 3 0 0 の形成領域を示し、領域 H V n は、低耐圧 N チャンネル MOS ( n MOS ) トランジスタ 2 0 0 の形成領域を示す。同様に、領域 L V p は、高耐圧 P チャンネル MOS ( p MOS ) トランジスタ 5 0 0 の形成領域を示し、領域 L V n は、低耐圧 N チャンネル MOS ( n MOS ) トランジスタ 4 0 0 の形成領域を示す。各トランジスタは、 L O C O S 酸化によって、素子分離領域 1 2 によって分離されている。この素子分離領域 1 2 は、抵抗素子 1 0 0 の抵抗導電層 2 4 と半導体基板 1 0 とを分離する第 1 絶縁層 2 2 と同一の工程にて形成することができる。

#### 【 0 0 4 0 】

また、この半導体装置においては、図 3 に示すように、高耐圧トランジスタ 2 0 0 , 3 0 0 のゲート絶縁層の膜厚は、低耐圧トランジスタ 4 0 0 , 5 0 0 のゲート絶縁層の膜厚よりも大きく形成されている。

#### 【 0 0 4 1 】

なお、本実施の形態においては、図 3 に示すように、 MOS トランジスタ 2 0 0 がトリプルウエルに形成されている場合を示したが、 MOS トランジスタ 2 0 0 はツインウエルに形成されていてもよい。この場合、 p ウエル 1 1 が n ウエル 5 1 内に形成されるかわりに、 n ウエル 5 1 と p ウエル 1 1 とが隣接するように形成される。

## 2. 半導体装置の製造方法

次に、本実施の形態に係る半導体装置の製造方法について、図 1 ～図 1 2 を参照して説明する。なお、図 4 ～図 1 2 の断面図は、図 1 に示す半導体装置の断面図に対応する。本実施の形態においては、図 3 に示す半導体装置のうち、抵抗素子 1 0 0 および高耐圧 n MOS トランジスタ 2 0 0 部分の製造方法について主に説明し、他の領域については説明を省略する。以下、抵抗素子 1 0 0 が形成され



る領域を「抵抗素子の形成領域 1 0 0 a」とし、MOS トランジスタ 2 0 0 が形成される領域を「MOS トランジスタの形成領域 2 0 0 a」とする。

## 【 0 0 4 2 】

(A) まず、半導体基板 1 0 の表面に、素子分離領域 1 2 および第 1 絶縁層 2 2 を形成する (図 3 および図 4 参照)。本実施の形態においては、素子分離領域 1 2 および第 1 絶縁層 2 2 が同一工程にて形成される場合について説明する。

## 【 0 0 4 3 】

具体的には、LOCOS 法によって半導体基板 1 0 の表面をフィールド酸化することにより、MOS トランジスタの形成領域 2 0 0 a において、半導体基板 1 0 上に素子分離領域 1 2 を形成するとともに、抵抗素子の形成領域 1 0 0 a において、半導体基板 1 0 上に第 1 絶縁層 2 2 を形成する。

## 【 0 0 4 4 】

(B) 次いで、高耐圧トランジスタのためのウエルを形成する (図 3 参照)。

## 【 0 0 4 5 】

具体的には、一般的なフォトリソグラフィ法によって形成したレジストマスク (図示せず) を用いて、所定の領域に不純物を導入することにより、領域 HV に、高耐圧 pMOS トランジスタを形成するための n 型のウエル (n ウエル) 5 1 を形成し、領域 HV n に、高耐圧 nMOS トランジスタを形成するための p 型のウエル (p ウエル) 1 1 を形成する (図 3 参照)。

## 【 0 0 4 6 】

次いで、高耐圧トランジスタ 2 0 0 のソース/ドレインのオフセット領域 3 7 , 3 9 を形成する (図 3 および図 4 参照)。具体的には、領域 HV n の所定領域に n 型不純物を導入して、ソース/ドレインのオフセット領域 3 7 , 3 9 をする。

## 【 0 0 4 7 】

次いで、高耐圧トランジスタ 2 0 0 のチャネル領域が形成される。具体的には、高耐圧トランジスタ 2 0 0 の閾値電圧を調整するために、n 型不純物がチャネル領域内に注入される。

## 【 0 0 4 8 】

(C) 次いで、抵抗素子の形成領域 1 0 0 a に抵抗導電層 2 4 を形成する（図 5 参照）。

【 0 0 4 9 】

具体的には、図 4 に示すように、全面に、抵抗導電層 2 4 を形成するための導電層 2 4 a を積層する。この導電層 2 4 a は例えばポリシリコンからなる。次いで、この導電層 2 4 a のうち少なくとも抵抗導電層 2 4 が形成される領域に不純物を導入する。この不純物の導入により、抵抗導電層 2 4 の抵抗値が所定の値に調整される。

【 0 0 5 0 】

次に、レジスト層 R 1 0 0 を抵抗素子の形成領域 1 0 0 a に形成する。このレジスト層 R 1 0 0 は、抵抗導電層 2 4 が形成される領域上に形成される。次いで、このレジスト層 R 1 0 0 をマスクとして導電層 2 4 a をエッチングする。これにより、図 5 に示すように、抵抗素子の形成領域 1 0 0 a に抵抗導電層 2 4 を形成する。この抵抗導電層 2 4 は、所定の平面形状に形成される（図 2 参照）。すなわち、抵抗導電層 2 4 の平面形状は図 2 に示す形状に限定されるわけではなく、任意の形状にすることができる。また、この工程において、M O S トランジスタの形成領域 2 0 0 a に形成されていた導電層 2 4 a は除去される。

【 0 0 5 1 】

(D) 次いで、抵抗素子の形成領域 1 0 0 a において、抵抗導電層 2 4 上に保護層 2 6 を形成する（図 7 参照）。

【 0 0 5 2 】

具体的には、図 6 に示すように、全面に保護層 2 6 a を形成した後、図 7 に示すように、抵抗素子の形成領域 1 0 0 a において、レジスト層 R 2 0 0 を形成する。このレジスト層 R 2 0 0 は、少なくとも抵抗導電層 2 4 を覆うように形成する。次いで、このレジスト層 R 2 0 0 をマスクとして保護層 2 6 a をエッチングする。これにより、図 8 に示すように、抵抗素子の形成領域 1 0 0 a において、抵抗導電層 2 4 を覆うように保護層 2 6 が形成される。以上の工程を経て、抵抗素子 1 0 0 が形成される（図 9 参照）。この抵抗素子 1 0 0 の上には、後の工程でコンタクト 9 0, 9 2 が形成される（図 2 参照）。また、この工程において、

MOSトランジスタの形成領域 2 0 0 a に形成されていた保護層 2 6 a は除去される。

【 0 0 5 3 】

(E) 次いで、MOSトランジスタの形成領域 2 0 0 a において、半導体基板 1 0 上に第 2 絶縁層 1 4 a を形成する (図 9 参照)。

【 0 0 5 4 】

具体的には、熱酸化によって半導体基板 1 0 の表面が酸化されて、半導体基板 1 0 の表面全体に、酸化シリコンからなる第 2 絶縁層 1 4 a が形成される。

【 0 0 5 5 】

(F) 次いで、第 2 絶縁層 1 4 a の上に、ゲート電極 2 0 を形成するためのゲート導電層 2 0 a を形成する (図 1 0 参照)。

【 0 0 5 6 】

ゲート導電層 2 0 a は、ポリシリコン層 1 6 a および金属層 1 8 a の 2 層からなる。すなわち、このゲート導電層 2 0 a は、第 2 絶縁層 1 4 a の上にポリシリコン層 1 6 a を形成した後、その上に金属層 1 8 a を積層することにより形成される。金属層 1 8 a は、タングステンまたはモリブデン等の金属からなる。

【 0 0 5 7 】

なお、ポリシリコンは多結晶半導体であるため、その抵抗率は金属よりも高い。このため、MOSトランジスタ 2 0 0 のように、ポリシリコン層 1 6 を含むゲート電極 2 0 を形成する場合には、金属層 1 8 a を形成する前に、ポリシリコン層 1 6 a のうち少なくともゲート電極 2 0 が形成される領域 (図 1 0 では領域 1 6 b) に、チャネルに対応する不純物 (この場合 n 型不純物) を注入することによって、ポリシリコン層 1 6 a を予備的に低抵抗化する。

【 0 0 5 8 】

(G) 次いで、MOSトランジスタの形成領域 2 0 0 a において、ゲート絶縁層 1 4 およびゲート電極 2 0 を形成する (図 1 2 参照)。

【 0 0 5 9 】

まず、レジスト層 R 3 0 0 をゲート導電層 2 0 a 上に形成する (図 1 1 参照)。このレジスト層 R 3 0 0 はゲート電極 2 0 が形成される領域に設置される。こ

のレジスト層 R 3 0 0 をマスクとしてゲート導電層 2 0 a をエッチングする。エッチングの方法としては、例えばドライエッチングが挙げられる。これにより、図 1 2 に示すように、M O S トランジスタの形成領域 2 0 0 a において、ゲート絶縁層 1 4 およびゲート電極 2 0 が半導体基板 1 0 上に形成される。また、この工程において、抵抗素子の形成領域 1 0 0 a において、抵抗導電層 2 4 の上方に形成されていた第 2 絶縁層 1 4 a およびゲート導電層 2 0 a は除去される。

## 【 0 0 6 0 】

(H) 次いで、M O S トランジスタの形成領域 2 0 0 a において、ゲート電極 2 0 の側面に、サイドウォール絶縁層 1 5 を形成する（図 1 参照）。具体的には、このサイドウォール絶縁層 1 5 はゲート電極 2 0 の両側面に形成され、ソース／ドレイン領域 1 7, 1 9 を形成するためのマスクとして機能する。このサイドウォール絶縁層 1 5 は、例えば、反応性イオンエッチング（R I E）などの異方性エッチングによって形成することができる。

## 【 0 0 6 1 】

次いで、M O S トランジスタの形成領域 2 0 0 a において、半導体基板 1 0 に形成されたオフセット領域 3 7, 2 9 内にそれぞれ、ソース／ドレイン領域 1 7, 1 9 を形成する。このソース／ドレイン領域 1 7, 1 9 はサイドウォール絶縁層 1 5 がマスクとして機能し、自己整合的に形成される。以上の工程を経て、M O S トランジスタ 2 0 0 が形成される（図 1 参照）。

## 【 0 0 6 2 】

（作用効果）

本実施の形態に係る半導体装置およびその製造方法によれば、次の作用効果を奏することができる。

## 【 0 0 6 3 】

第 1 に、前記（D）の工程で、抵抗導電層 2 4 の上に保護層 2 6 を形成した後、前記（E）の工程で、熱酸化によって、ゲート絶縁層 1 4 を形成するための第 2 絶縁層 1 4 a を形成することにより、熱酸化によって第 2 絶縁層 1 4 a を形成する際に、ポリシリコン層からなる抵抗導電層 2 4 の酸化を防止することができる。これにより、抵抗導電層 2 4 を所望の抵抗値に設定することができる。特に

、ゲート絶縁層の膜厚が比較的大きいトランジスタを形成する場合に大きな効果を発揮する。その理由について以下に説明する。

【 0 0 6 4 】

本実施の形態の半導体装置において、MOSトランジスタ200のゲート絶縁層14は半導体基板10の表面を熱酸化することにより形成される。したがって、仮に、抵抗導電層24が露出した状態で半導体基板10の熱酸化を行なった場合、熱酸化によって抵抗導電層24が酸化されてしまい、抵抗導電層24が抵抗素子として十分に機能し得なくなる場合がある。

【 0 0 6 5 】

これに対し、本実施の形態によれば、抵抗導電層24が保護層26によって覆われている状態で熱酸化を行なうことにより、抵抗導電層24の酸化を防止することができる。特に、膜厚が大きなゲート絶縁層14を形成する場合には、抵抗導電層24が露出した状態で半導体基板10の熱酸化を行なうと、抵抗導電層24が大きく酸化されてしまう。このため、上記方法を用いることによって、抵抗導電層24の酸化を防止することによって得られるメリットが大きい。

【 0 0 6 6 】

例えば、高耐圧トランジスタは一般に、高電圧に耐え得るように、ゲート絶縁層の膜厚が大きく形成されている。本実施の形態の半導体装置において、MOSトランジスタ200は高耐圧トランジスタとして機能することから、上記方法を用いることにより、大きなメリットを得ることができる。

【 0 0 6 7 】

第2に、抵抗素子100を構成し、ポリシリコン層からなる抵抗導電層24と、MOSトランジスタ200のゲート電極20を構成するポリシリコン層16とを、別の工程にて形成することにより、それぞれの機能に応じた特性に形成することができる。

【 0 0 6 8 】

抵抗導電層24は抵抗素子として用いられるものである。一方、MOSトランジスタのゲート電極は低抵抗化されていることが望ましく、MOSトランジスタ200のゲート電極20のためのポリシリコン層16は低抵抗化されていること

が望ましい。したがって、抵抗導電層 2 4 とポリシリコン層 1 6 とは相反する特性が求められている。このため、これらを別工程にて形成することにより、それぞれに要求される特性を有する層としてそれぞれを形成することができる。

#### 【 0 0 6 9 】

特に、本実施の形態においては、ゲート電極 2 0 がポリサイド構造を有するため、さらなる低抵抗化が図られている。このため、ポリシリコン層からなる抵抗導電層 2 4 とポリシリコン層 1 6 とを別工程で形成することによって得られるメリットが大きい。

#### 【 0 0 7 0 】

第 3 に、前記 (D) の工程で、ポリシリコンからなる抵抗導電層 2 4 の上に保護層 2 6 を形成した後、前記 (F) および前記 (G) の工程で、ポリシリコン層 1 6 a を含むゲート導電層 2 0 a を形成した後、ポリシリコン層 1 6 a をエッチングする。この場合、保護層 2 6 はストッパ層として機能する。すなわち、保護層 2 6 は、ポリシリコン層 1 6 a をエッチングする際に、ポリシリコンからなる抵抗導電層 2 4 がエッチングされるのを防止することができる。

#### 【 0 0 7 1 】

第 4 に、MOS トランジスタ 2 0 0 のゲート絶縁層 1 4 およびゲート電極 2 0 を形成する前に、抵抗素子 1 0 0 を形成することにより、MOS トランジスタ 2 0 0 のゲート絶縁層 1 4 およびゲート電極 2 0 を形成する際の製造プロセスに制約されることなく、抵抗素子 1 0 0 を形成することができる。

#### 【 0 0 7 2 】

##### [第 2 の実施の形態]

次に、本発明の第 2 の形態の半導体装置およびその製造方法について説明する。なお、本実施の形態の半導体装置において、第 1 の実施の形態の半導体装置の構成要素と同じ構造および機能を有する構成要素には、同じ番号を付し、詳しい説明は省略する。

##### 1. 半導体装置の構造

図 1 3 は、本発明を適用した第 2 の実施の形態に係る半導体装置を模式的に示す断面図である。

## 【 0 0 7 3 】

本実施の形態の半導体装置は、図 1 3 に示すように、抵抗素子 1 1 0 と MOS トランジスタ 2 0 0 とを含む。図 1 3 に示す MOS トランジスタ 2 0 0 は、第 1 の実施の形態に係る MOS トランジスタ 2 0 0 と同じ構造を有し、かつ、図 3 に示す半導体装置において、高耐圧トランジスタとして機能する。

## 【 0 0 7 4 】

抵抗素子 1 1 0 は抵抗導電層 2 4 を含む点で、第 1 の実施の形態の抵抗素子 1 0 0 と同様であるが、保護層 4 6 が抵抗導電層 2 4 の上面に形成されている点で、保護膜 2 6 (図 1 参照) が抵抗導電層 2 4 を覆うように形成されている第 1 の実施の形態の抵抗素子 1 0 0 と異なる構造を有する。以下、本実施の形態の半導体装置において、第 1 の実施の形態の半導体装置と異なる点について説明する。

## 【 0 0 7 5 】

抵抗素子 1 1 0 は、抵抗導電層 2 4 を含み、第 1 の実施の形態の抵抗導電層 2 4 と同様の平面形状を有する (図 2 参照)。抵抗導電層 2 4 の上面には保護層 4 6 が形成され、抵抗導電層 2 4 の側面には第 3 絶縁層 2 3 が形成されている。保護層 4 6 は、例えば窒化シリコン層または酸化窒化シリコン層からなる。第 3 絶縁層 2 3 は、例えばポリシリコンからなる抵抗導電層 2 4 の表面を酸化することにより形成される。この場合、第 3 絶縁層 2 3 は酸化シリコン層からなる。

## 2. 半導体装置の製造方法

次に、本実施の形態に係る半導体装置の製造方法について、図 1 3 ～図 1 8 を参照して説明する。図 1 4 ～図 1 8 の断面図は、図 1 3 に示す半導体装置の断面図に対応する。本実施の形態においても、第 1 の実施の形態と同様に、図 3 に示す半導体装置のうち、抵抗素子 1 1 0 および高耐圧 MOS トランジスタ 2 0 0 部分の製造方法について主に説明し、他の領域については説明を省略する。以下、抵抗素子 1 1 0 が形成される領域を「抵抗素子の形成領域 1 1 0 a」とし、高耐圧トランジスタ 2 0 0 が形成される領域を「MOS トランジスタの形成領域 2 0 0 a」とする。なお、以下の製造プロセスにおいて、第 1 の実施の形態の半導体装置の製造プロセスと異なる点を中心に説明する。

## 【 0 0 7 6 】

(A) まず、前述した第 1 の実施の形態の半導体装置の製造プロセスのうち、前記 (A) および (B) の工程を行なう。これにより、半導体基板 1 0 に第 1 絶縁層 2 2 および素子分離領域 1 2 を形成し (図 3 および図 1 4 参照)、半導体基板 1 0 にウエル 1 1, 5 1 (図 3 参照)、オフセット領域 3 7, 3 9 (図 3 および図 1 4 参照) を形成する。

【 0 0 7 7 】

(B) 次いで、抵抗素子の形成領域 1 1 0 a に抵抗素子 1 1 0 を形成する (図 1 5 参照)。

【 0 0 7 8 】

具体的には、まず、図 1 4 に示すように、全面に、抵抗導電層 2 4 を形成するための導電層 2 4 a を積層する。続いて、導電層 2 4 a の上に保護層 4 6 a を形成する。次に、レジスト層 R 4 0 0 を抵抗素子の形成領域 1 1 0 a に形成する。このレジスト層 R 4 0 0 は、抵抗導電層 2 4 を形成する領域上に形成される。次いで、このレジスト層 R 4 0 0 をマスクとして、保護層 4 6 a および導電層 2 4 a をエッチングする。これにより、図 1 5 に示すように、抵抗素子の形成領域 1 1 0 a に抵抗導電層 2 4 を形成する。この抵抗導電層 2 4 は、第 1 の実施の形態の抵抗導電層 2 4 と同様の平面形状に形成される (図 2 参照)。以上の工程を経て、抵抗素子 1 1 0 が形成される (図 1 5 参照)。この抵抗素子 1 1 0 の上には、第 1 の実施の形態の抵抗素子 1 0 0 と同様に、後の工程でコンタクト 9 0, 9 2 が形成される (図 2 参照)。また、この工程によって、抵抗導電層 2 4 の上に保護層 4 6 が形成される。この工程において、その他の領域に形成されていた導電層 2 4 a および保護層 4 6 a は除去される。

【 0 0 7 9 】

(C) 次いで、MOS トランジスタの形成領域 2 0 0 a において、半導体基板 1 0 上に第 2 絶縁層 1 4 a を形成する (図 1 6 参照)。

【 0 0 8 0 】

具体的には、熱酸化によって、半導体基板 1 0 の表面全体に、酸化シリコンからなる第 2 絶縁層 1 4 a が形成される。なお、この工程によって、図 1 6 に示すように、露出していた抵抗導電層 2 4 の側面が酸化されて、第 3 絶縁層 2 3 が形



成される。

【 0 0 8 1 】

(D) 次いで、全面に、ゲート電極 2 0 を形成するためのゲート導電層 2 0 a を形成する (図 1 7 参照)。次いで、M O S トランジスタの形成領域 2 0 0 a において、レジスト層 R 5 0 0 をマスクとして、第 2 絶縁層 1 4 a およびゲート導電層 2 0 a のエッチングを行なうことにより、ゲート絶縁層 1 4 およびゲート電極 2 0 を形成する (図 1 8 参照)。

【 0 0 8 2 】

上記工程において、ゲート導電層 2 0 a, ゲート絶縁層 1 4 およびゲート電極 2 0 の形成方法ならびに層構造は、第 1 の実施の形態のゲート導電層 2 0 a と同様であるため、詳しい説明は省略する。

【 0 0 8 3 】

(E) 次いで、ゲート電極 2 0 の両側面にサイドウォール絶縁層 1 5 を形成した後、オフセット領域 3 7, 3 9 にそれぞれソース／ドレイン領域 1 7, 1 9 を形成する (図 1 3 参照)。以降の工程は、第 1 の実施の形態の半導体装置の製造方法の前記 (H) 工程と同様であるため、詳しい説明は省略する。以上の工程を経て、M O S トランジスタ 2 0 0 が形成される (図 1 3 参照)。

【 0 0 8 4 】

(作用効果)

本実施の形態に係る半導体装置およびその製造方法によれば、次の作用効果を奏することができる。

【 0 0 8 5 】

第 1 に、前記 (B) の工程で、抵抗導電層 2 4 の上面に保護層 4 6 を形成した後、前記 (C) の工程で、ゲート絶縁層 1 4 を形成するための第 2 絶縁層 1 4 a を形成することにより、ポリシリコン層からなる抵抗導電層 2 4 の酸化を防止することができ、抵抗導電層 2 4 を所望の抵抗値に形成することができる。この作用効果については、第 1 の実施の形態の欄で詳述したため、詳しい説明は省略する。

【 0 0 8 6 】

第 2 に、抵抗素子 1 1 0 を構成し、ポリシリコン層からなる抵抗導電層 2 4 と、MOS トランジスタ 2 0 0 のゲート電極 2 0 を構成するポリシリコン層 1 6 とを、別の工程にて形成することにより、それぞれの層を、それぞれの機能に応じた特性に形成することができる。この作用効果については、第 1 の実施の形態の欄で詳述したので、詳しい説明は省略する。

## 【 0 0 8 7 】

第 3 に、前記 (B) の工程で、ポリシリコンからなる抵抗導電層 2 4 の上面に保護層 4 6 を形成した後、前記 (D) の工程で、ポリシリコン層 1 6 a を含むゲート導電層 2 0 a を形成した後、ポリシリコン層 1 6 a をエッチングする。この場合、保護層 4 6 はストッパ層として機能する。すなわち、保護層 4 6 は、ポリシリコン層 1 6 a をエッチングする際に、ポリシリコンからなる抵抗導電層 2 4 の上面がエッチングされるのを防止することができる。

## 【 0 0 8 8 】

さらに、本実施の形態においては、前記 (C) の工程において、熱酸化によって第 2 絶縁層 1 4 a が形成されるとともに、抵抗導電層 2 4 の側面に第 3 絶縁層 2 3 が形成される。この第 3 絶縁層 2 3 もまた、保護層 4 6 と同様に、ポリシリコン層 1 6 a をエッチングする工程において、ストッパ層として機能する。すなわち、保護層 2 3 は、前記 (D) の工程で、ポリシリコン層 1 6 a をエッチングする際に、ポリシリコンからなる抵抗導電層 2 4 の側面がともにエッチングされるのを防止することができる。

## 【 0 0 8 9 】

また、この場合、前記 (D) の工程中の熱酸化処理によって、MOS トランジスタ 2 0 0 のゲート絶縁層 1 4 のための第 2 絶縁層 1 4 a が形成されるとともに、MOS トランジスタ 2 0 0 のゲート電極 2 0 を形成する際のエッチング時における抵抗導電層 2 4 のストッパ層 (第 3 絶縁層 2 3) が形成される。このように、前記熱酸化処理によって、ゲート絶縁層 1 4 のための第 2 絶縁層 1 4 a と、抵抗導電層 2 4 のストッパ層 (第 3 絶縁層 2 3) とを同一の工程にて形成できるため、製造プロセスの簡略化を図ることができる。

## 【 0 0 9 0 】

第 4 に、M O S トランジスタ 2 0 0 のゲート絶縁層 1 4 およびゲート電極 2 0 を形成する前に、抵抗素子 1 1 0 を形成することにより、M O S トランジスタ 2 0 0 のゲート絶縁層 1 4 およびゲート電極 2 0 を形成する際の製造プロセスに制約されることなく、抵抗素子 1 1 0 を形成することができる。

## 【 0 0 9 1 】

第 5 に、前記 ( B ) の工程において、レジスト層 R 4 0 0 にて導電層 2 4 a および保護層 4 6 a を一度にエッチングできる。これにより、第 1 の実施の形態の半導体装置の製造方法と比較して、製造工程数をさらに少なくすることができ、製造プロセスの効率化を図ることができる。

## 【 0 0 9 2 】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法および結果が同一の構成、あるいは目的および結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

## 【 0 0 9 3 】

例えば、上記の実施の形態においては、抵抗導電層 2 4 が n 型不純物を導入することにより形成される場合を示したが、p 型不純物から抵抗不純物を形成することもできる。

## 【 0 0 9 4 】

また、例えば、上記の実施の形態においては、M O S トランジスタ 2 0 0 が n 型 M O S である場合、すなわち、半導体基板 1 0 が p 型シリコン基板であり、トランジスタ 2 0 0 のソース／ドレイン領域 1 7, 1 9 に導入される不純物を n 型不純物とし、半導体基板 1 0 のウェル 1 1 およびゲート電極 2 0 に導入される不純物を p 型不純物とする場合について説明したが、各層においてこれらを入れ替えても本発明の趣旨を逸脱するものではない。すなわち、トランジスタ 2 0 0 が

p 型 M O S である場合でも同様の作用および効果を奏することができる。

【 0 0 9 5 】

さらに、例えば、上記実施の形態では、半導体層としてバルク状の半導体基板を用いたが、S O I 基板の半導体層を用いることもできる。

【図面の簡単な説明】

【図 1】 本発明を適用した第 1 の実施の形態に係る半導体装置を模式的に示す平面図である。

【図 2】 図 1 に示す抵抗導電層を模式的に示す平面図である。

【図 3】 図 1 に示す M O S トランジスタを高耐圧トランジスタとして用いる半導体装置を模式的に示す断面図である。

【図 4】 図 1 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 5】 図 1 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 6】 図 1 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 7】 図 1 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 8】 図 1 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 9】 図 1 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 0】 図 1 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 1】 図 1 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 2】 図 1 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 3】 本発明を適用した第 2 の実施の形態に係る半導体装置を模式的

に示す平面図である。

【図 1 4】 図 1 3 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 5】 図 1 3 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 6】 図 1 3 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図 1 7】 図 1 3 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

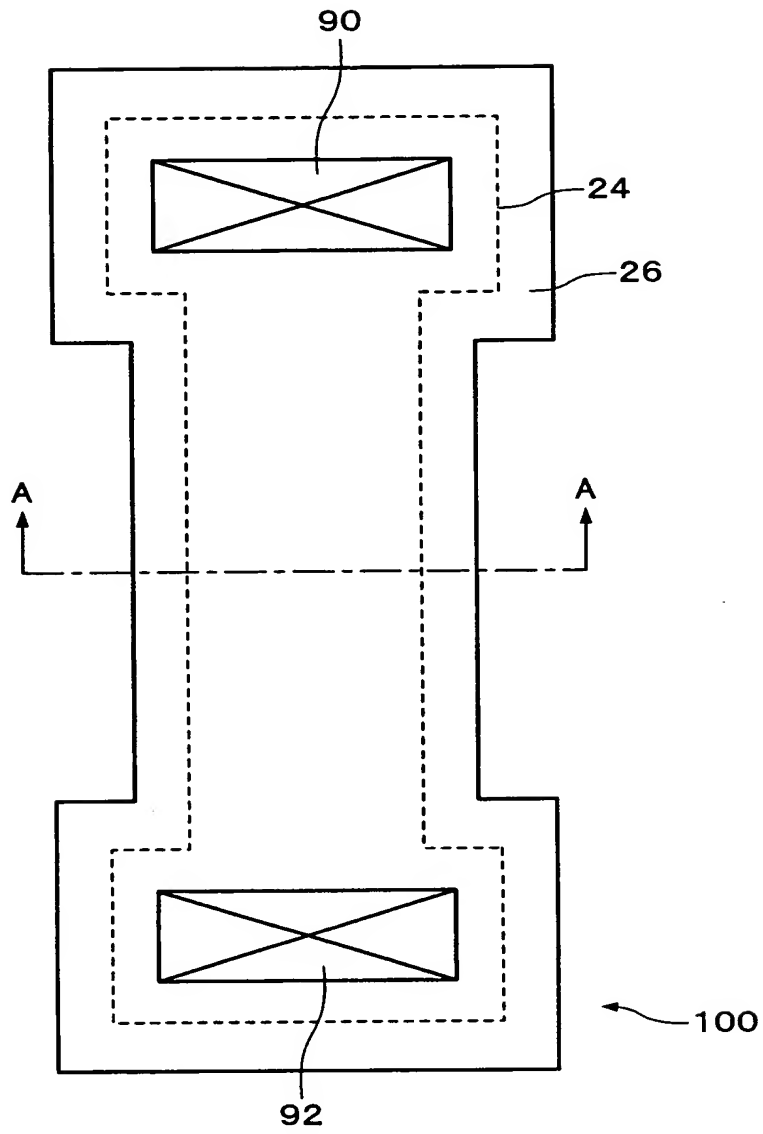
【図 1 8】 図 1 3 に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【符号の説明】

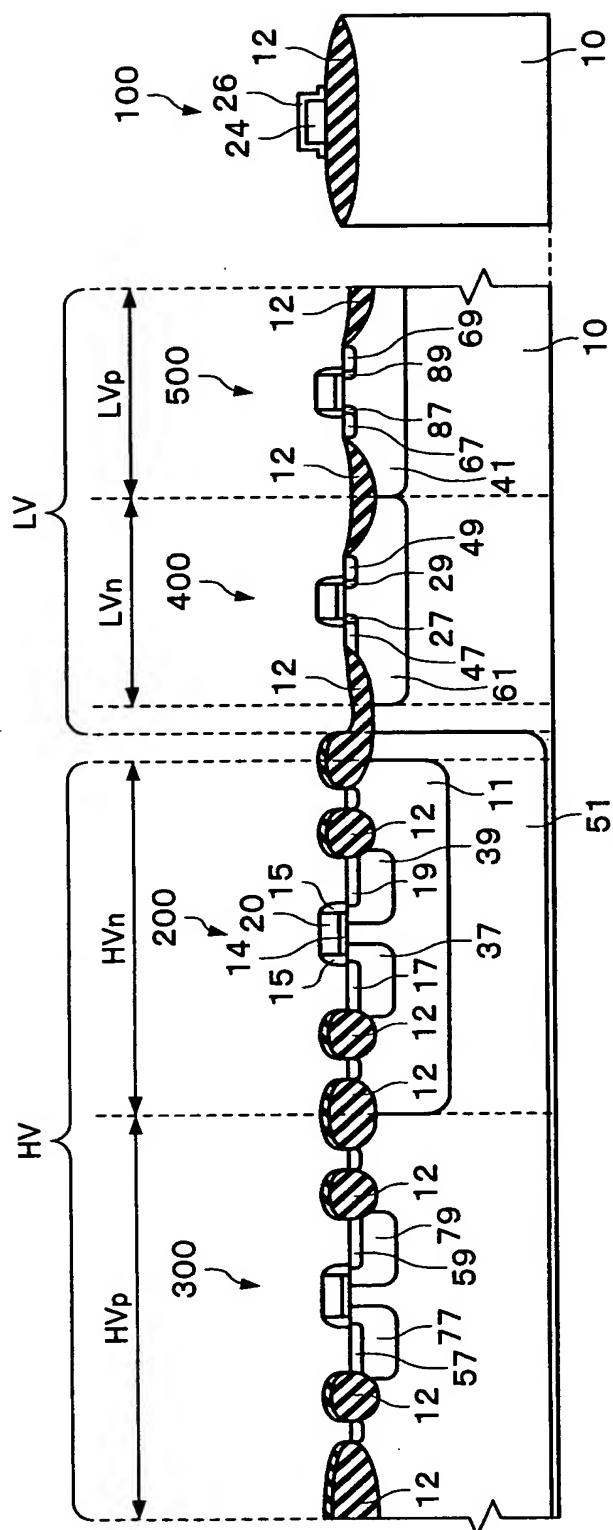
1 0 半導体基板、 1 1, 4 1, 5 1 ウェル、 1 2 素子分離領域、  
1 4 ゲート絶縁層、 1 4 a 第 2 絶縁層、 1 5 サイドウォール絶縁層、  
1 6, 1 6 a ポリシリコン層、 1 6 b 領域、 1 7, 1 9, 4 7, 4 9  
, 5 7, 5 9, 6 7, 6 9 ソース／ドレイン領域、 1 8, 1 8 a 金属層、  
2 0 ゲート電極、 2 0 a ゲート導電層、 2 2 第 1 絶縁層、 2 3  
第 3 絶縁層、 2 4 抵抗導電層、 2 4 a 導電層、 2 6, 2 6 a, 4 6,  
4 6 a 保護層、 3 7, 3 9, 7 7, 7 9 オフセット領域、 9 0, 9 2  
コンタクト、 1 0 0, 1 1 0 抵抗素子、 1 0 0 a, 1 1 0 a 抵抗素子の  
形成領域、 2 0 0 MOS トランジスタ、 2 0 0 a MOS トランジスタの  
形成領域、 R 1 0 0, R 2 0 0, R 3 0 0, R 4 0 0, R 5 0 0 レジスト層



【図 2】

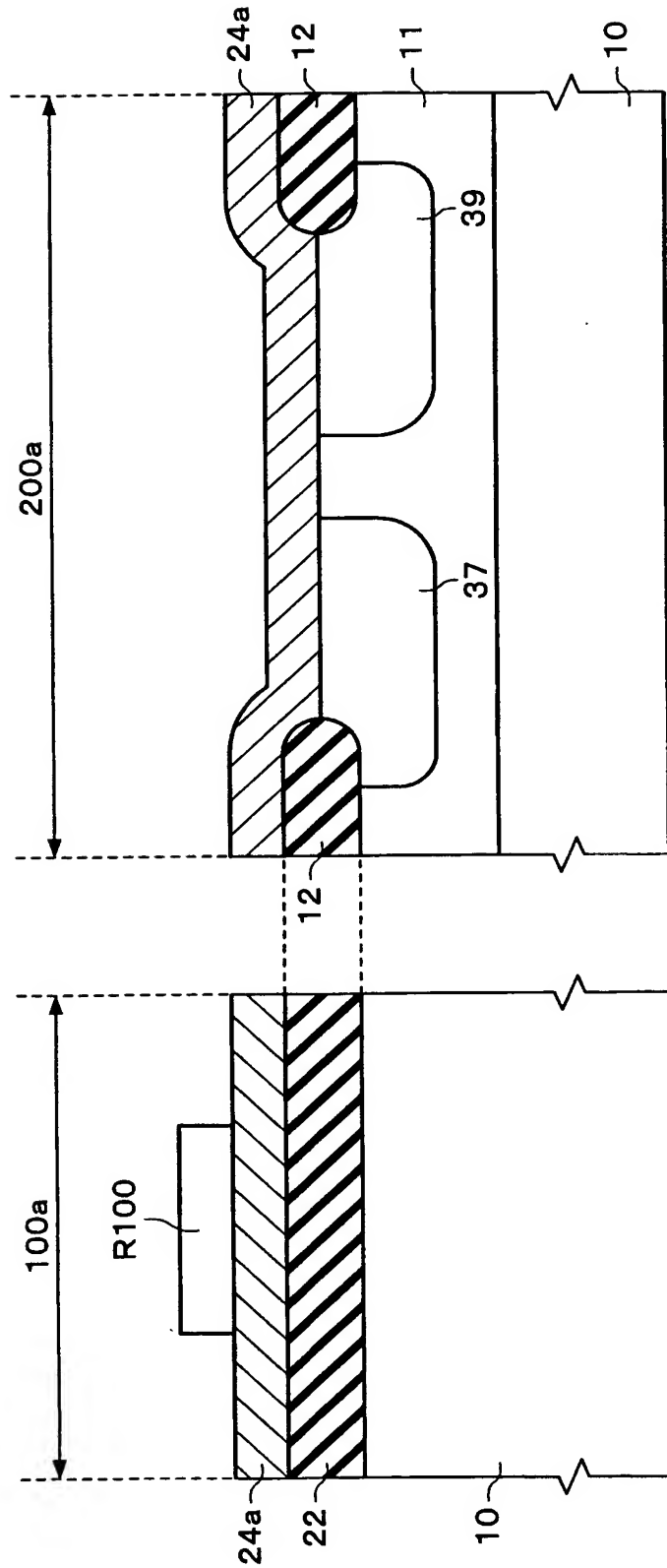


【図 3】

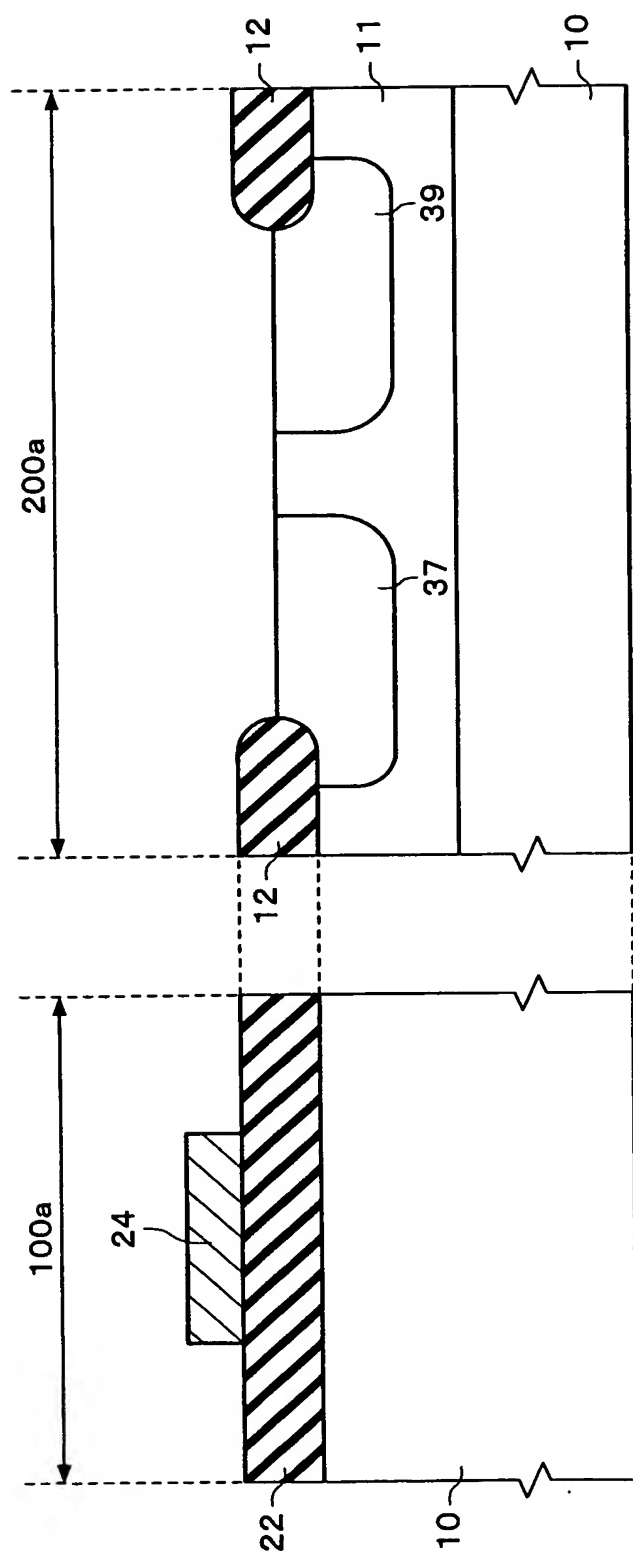




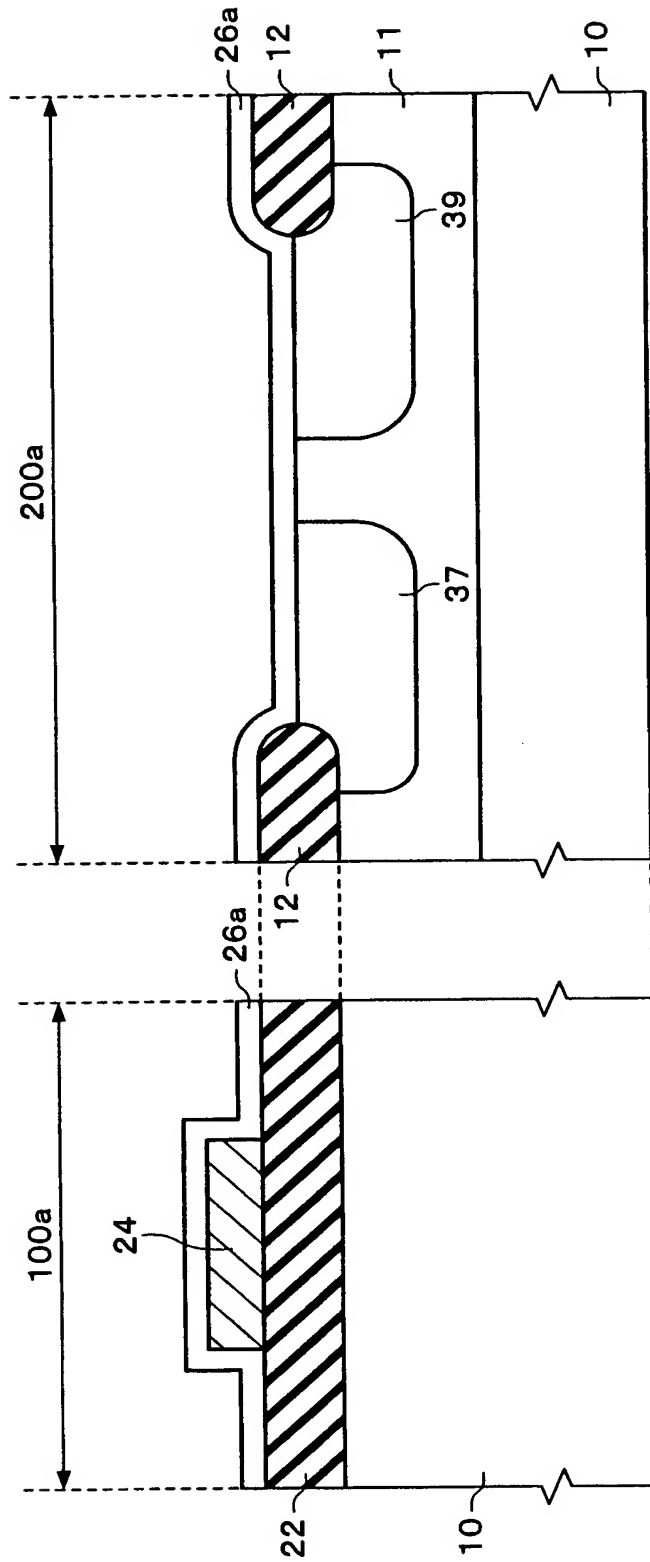
【図 4】



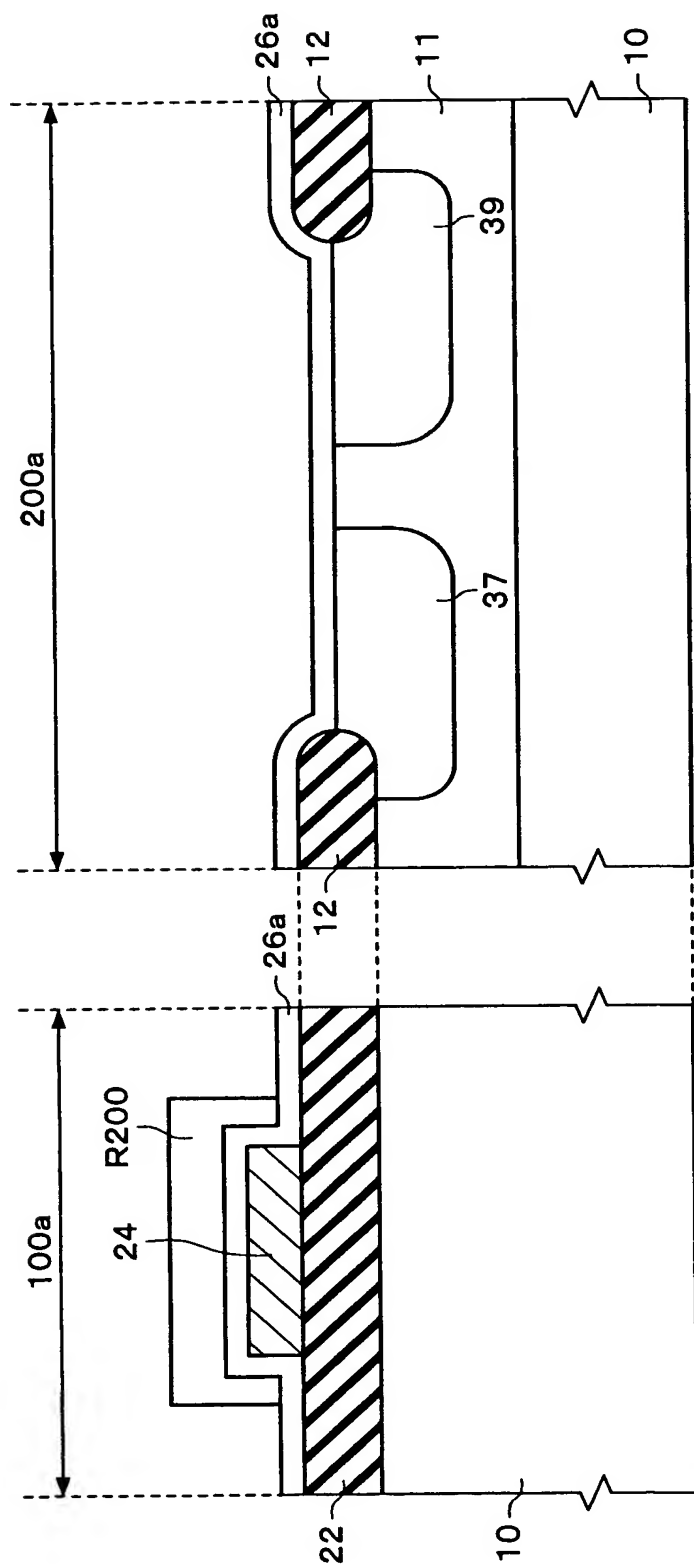
【図 5】



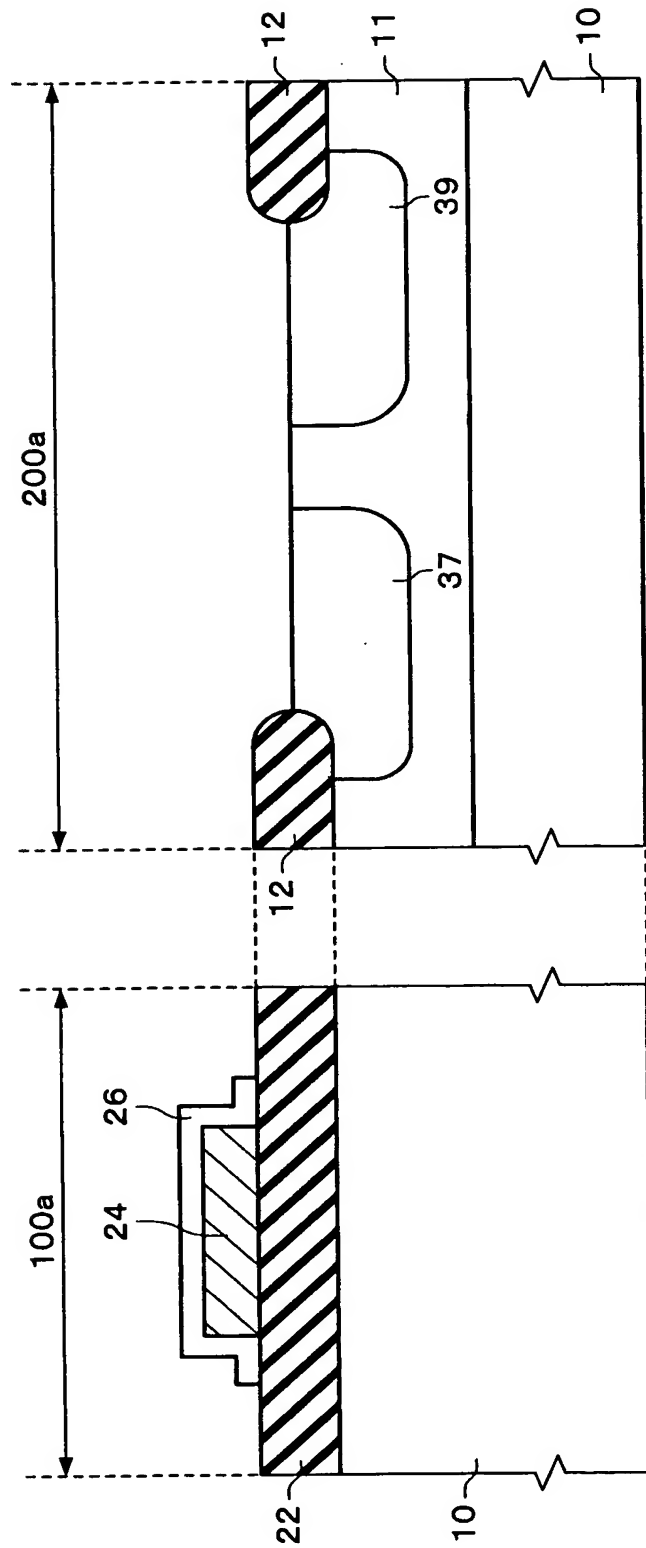
【図 6】



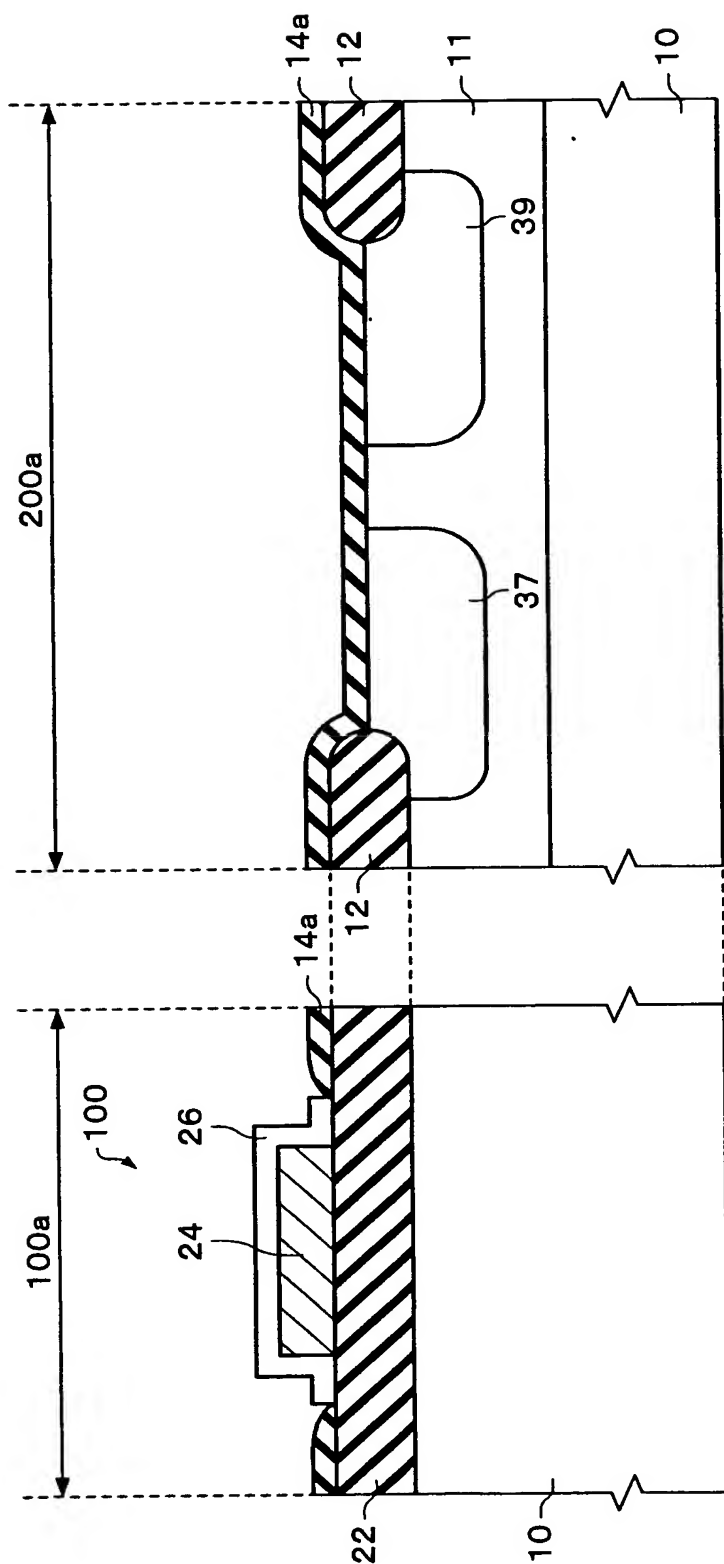
【図 7】



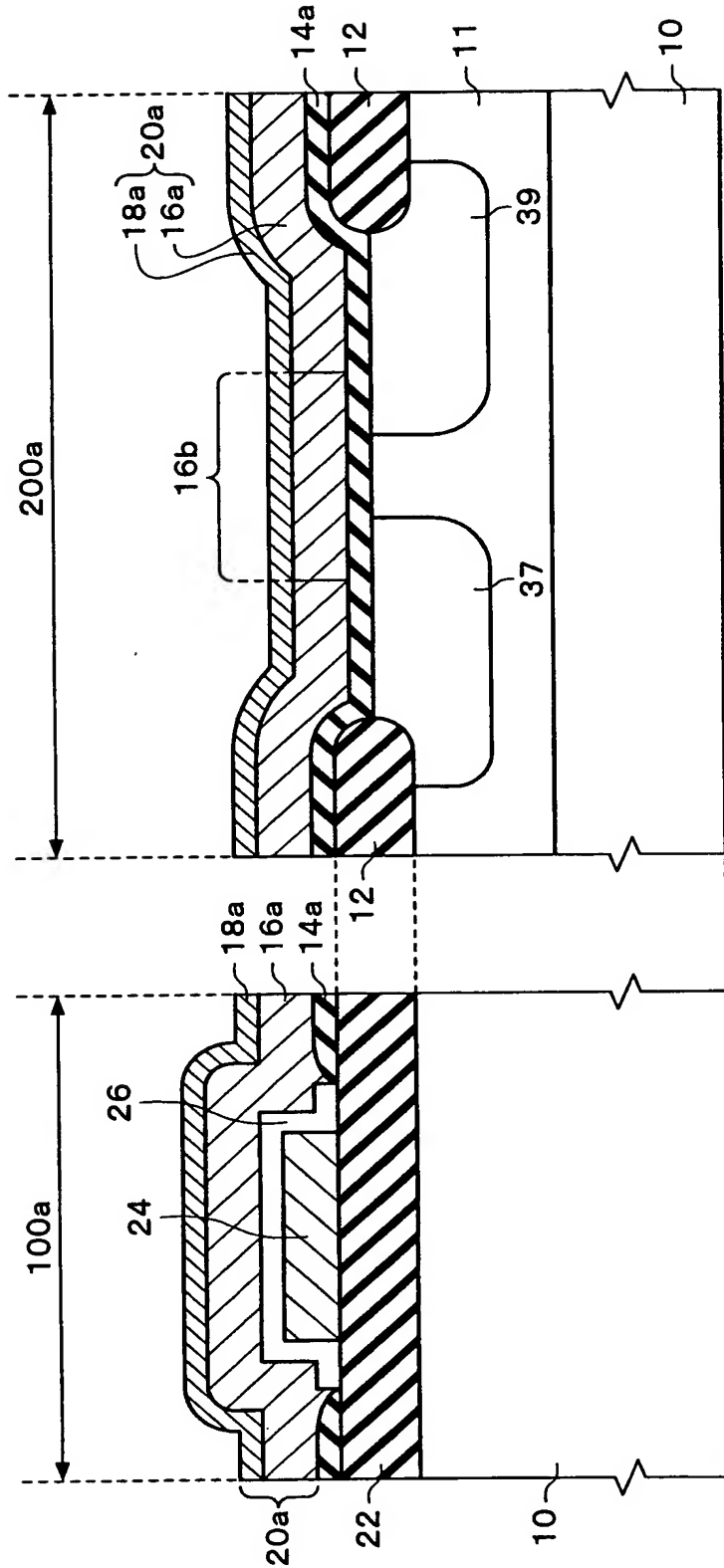
【图 8】



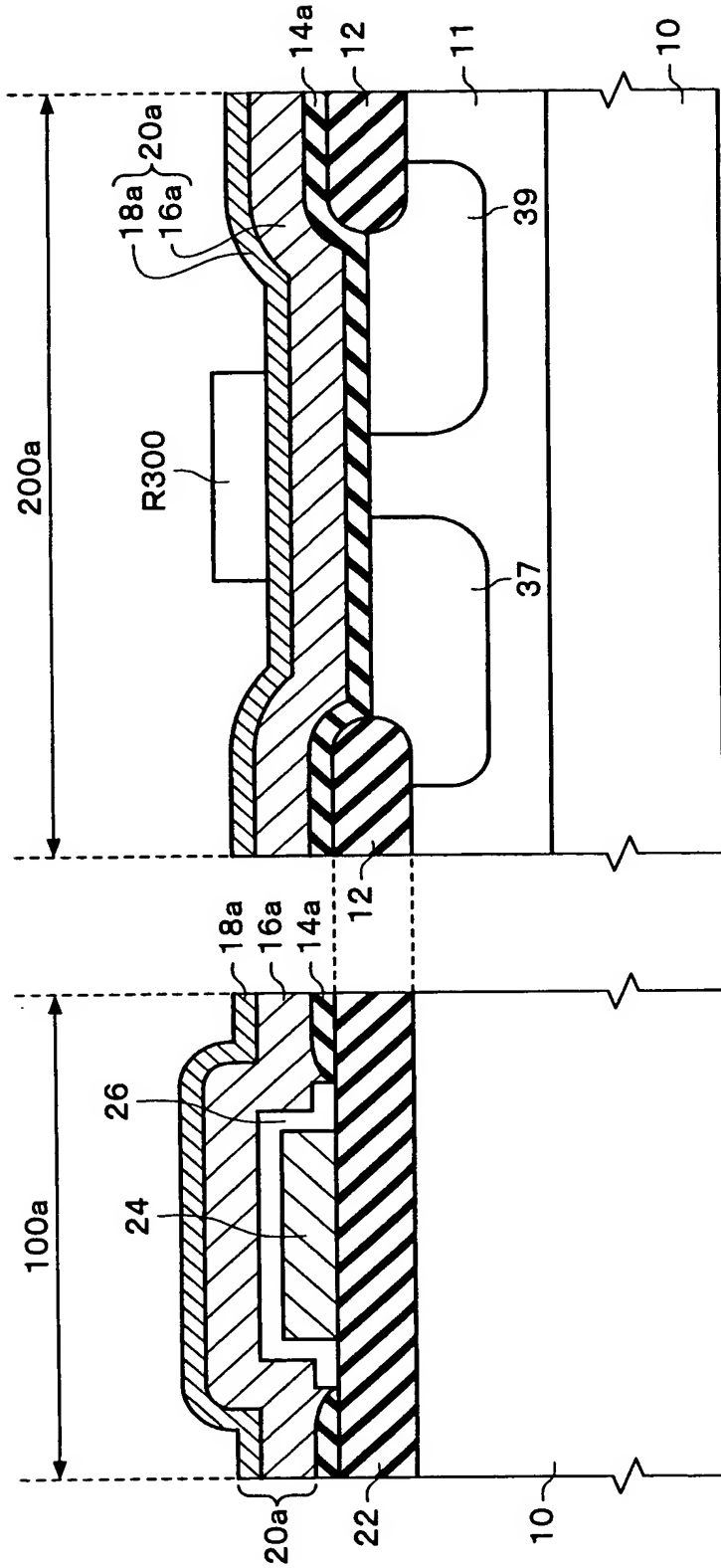
【図9】



【図 10】

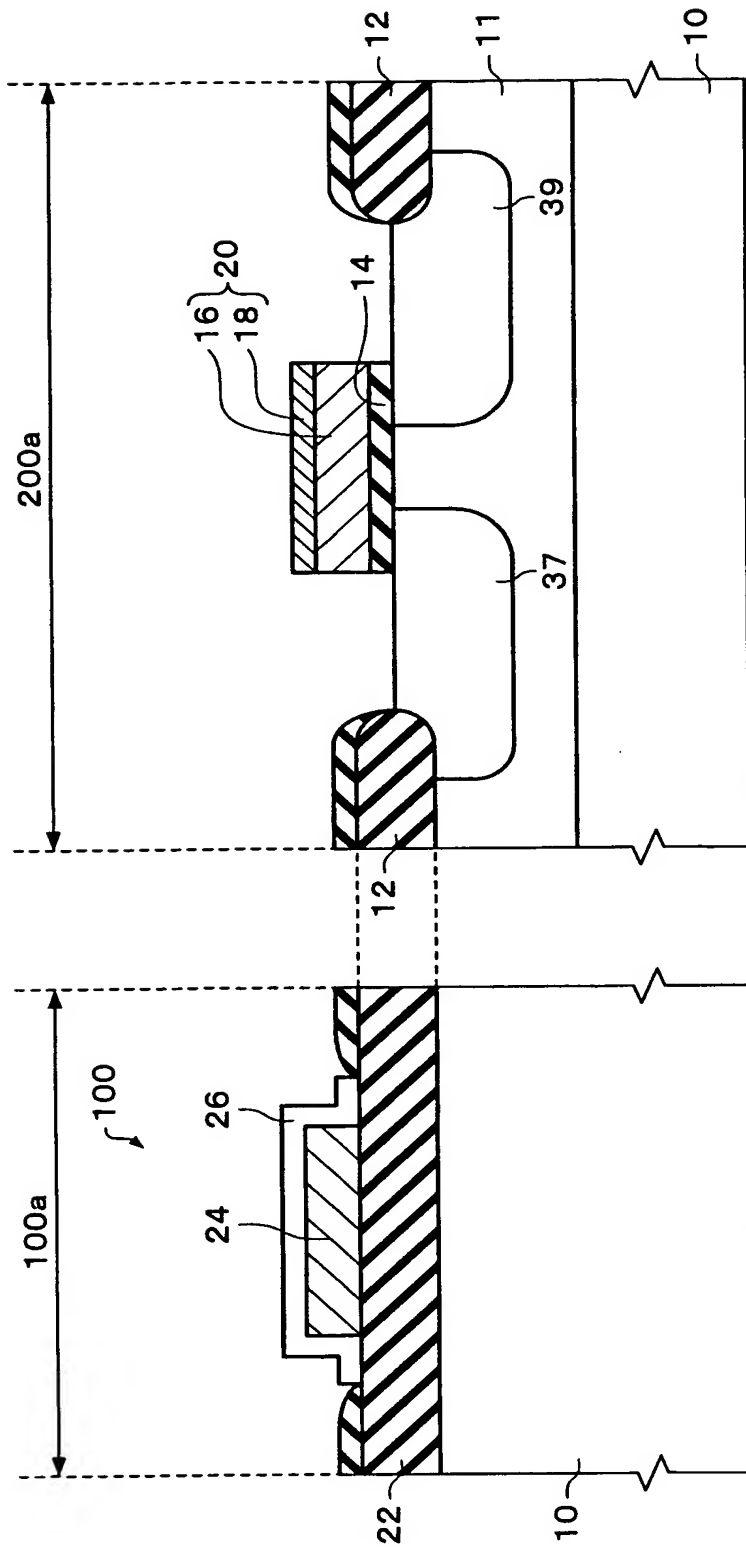


【図 11】

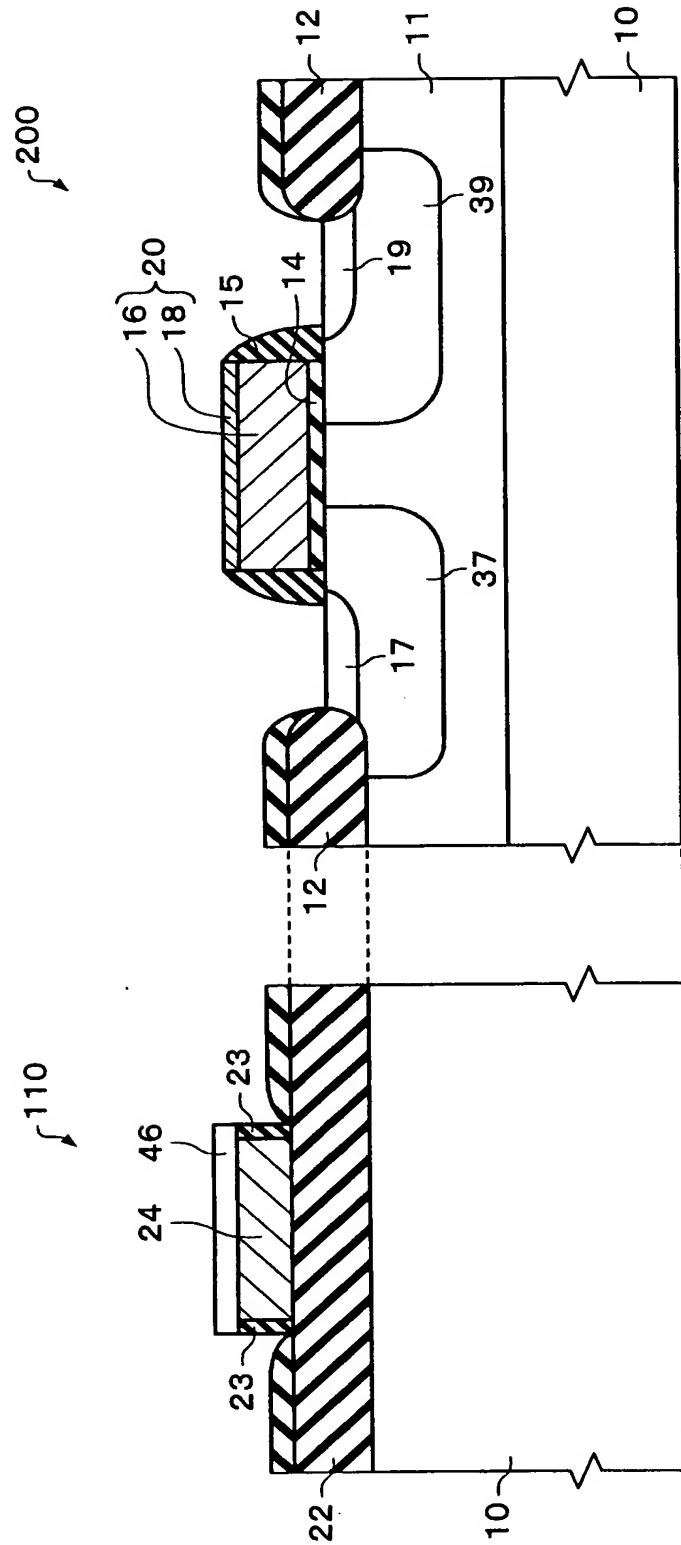




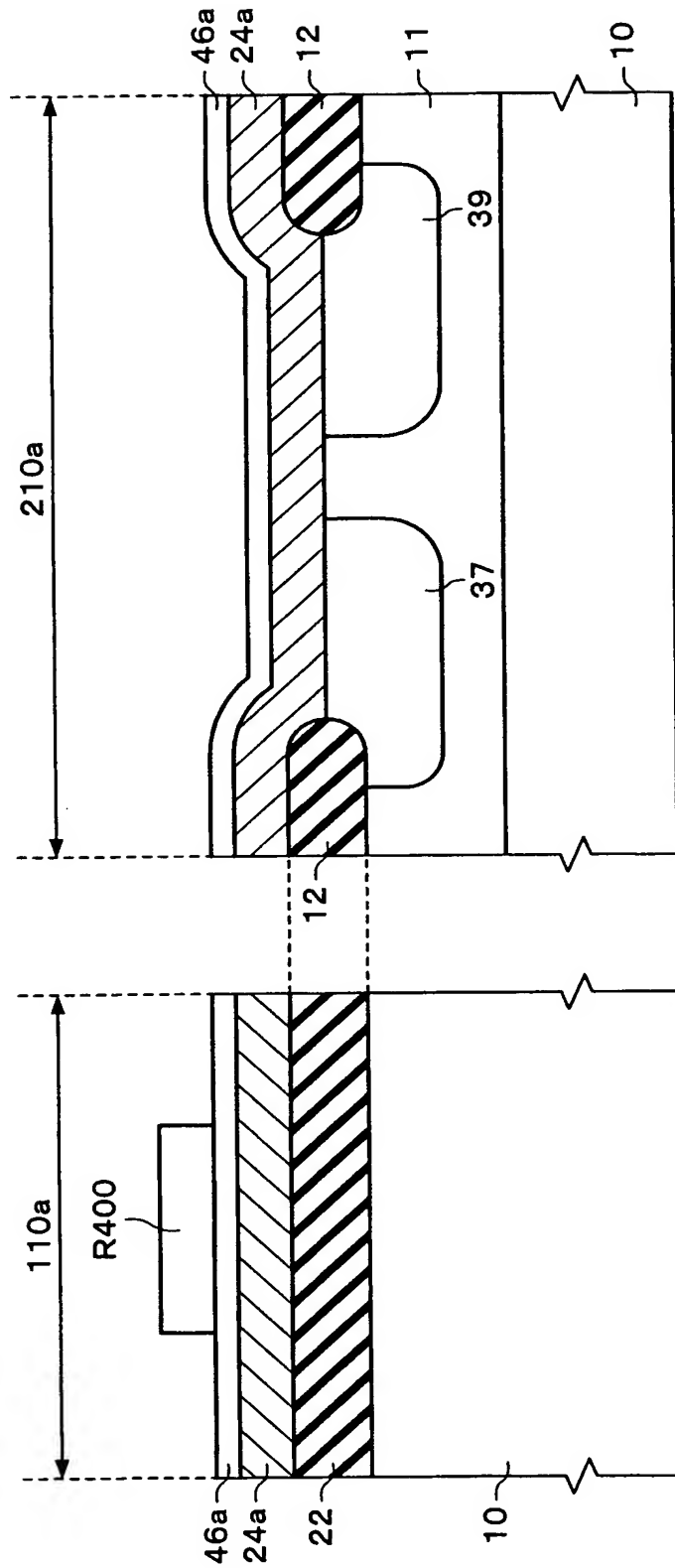
【图 1 2】



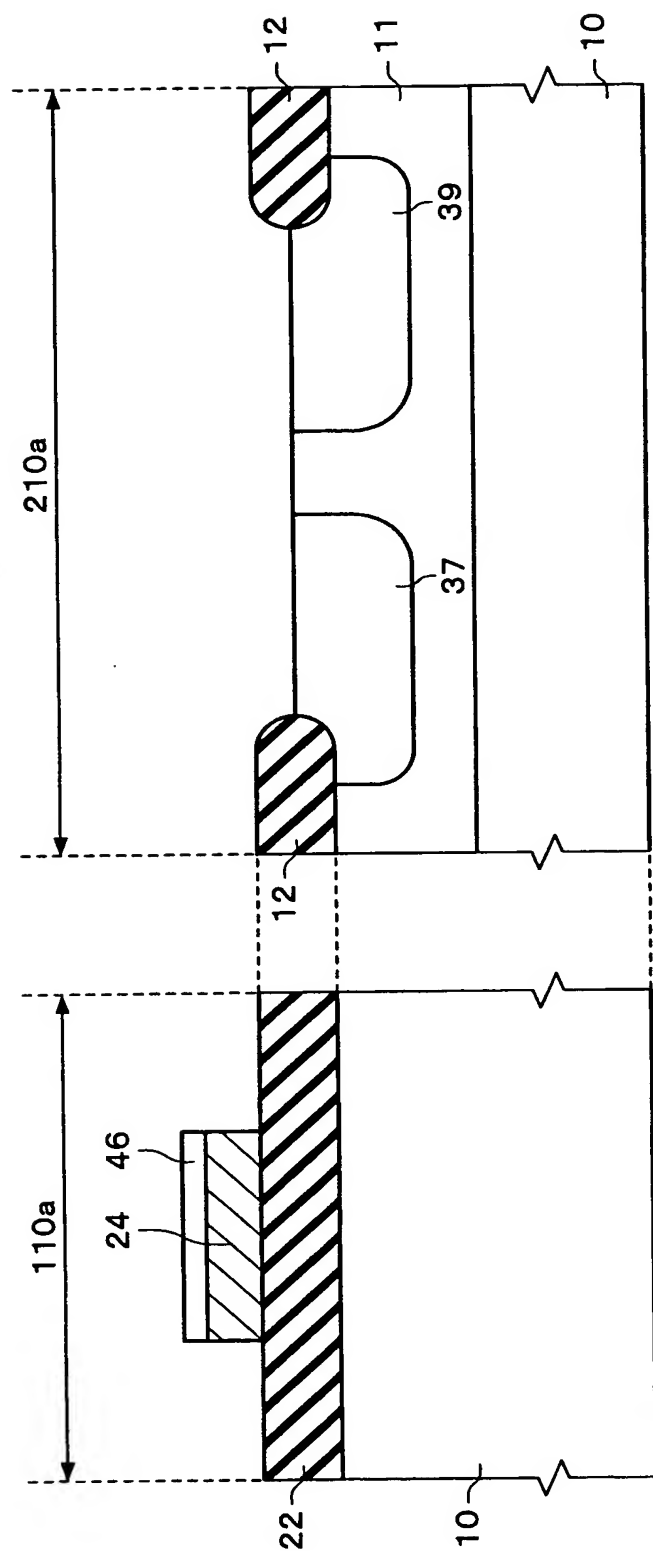
【図 13】



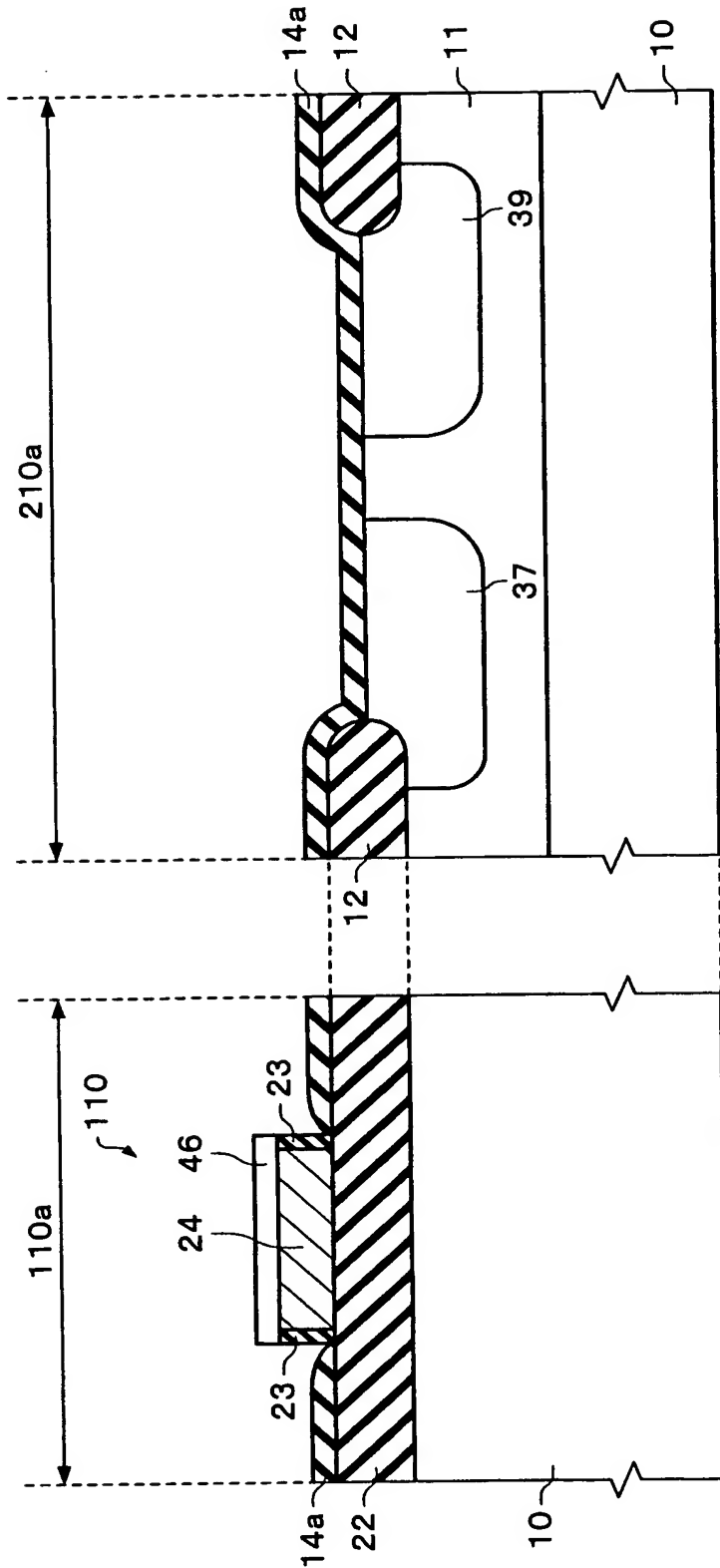
【図 14】



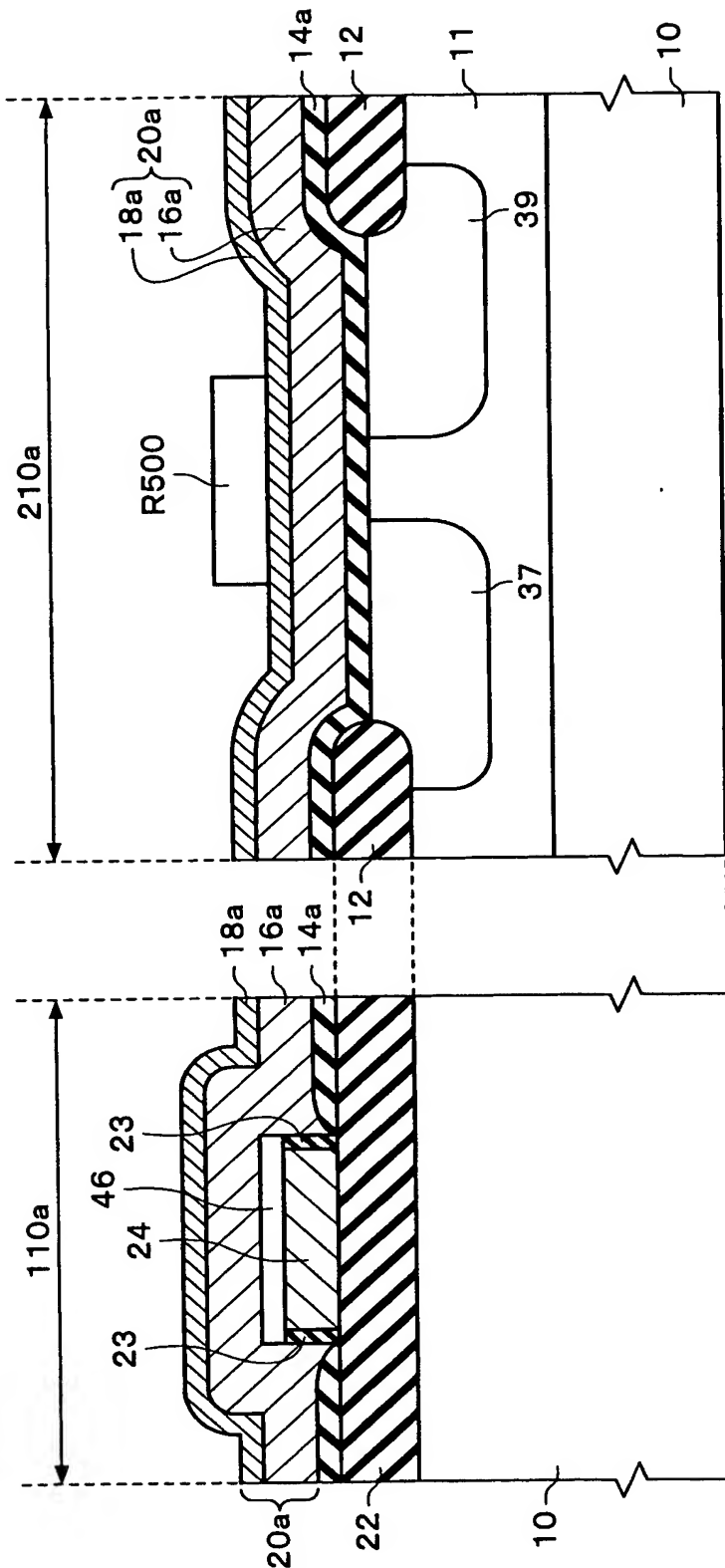
【図 15】



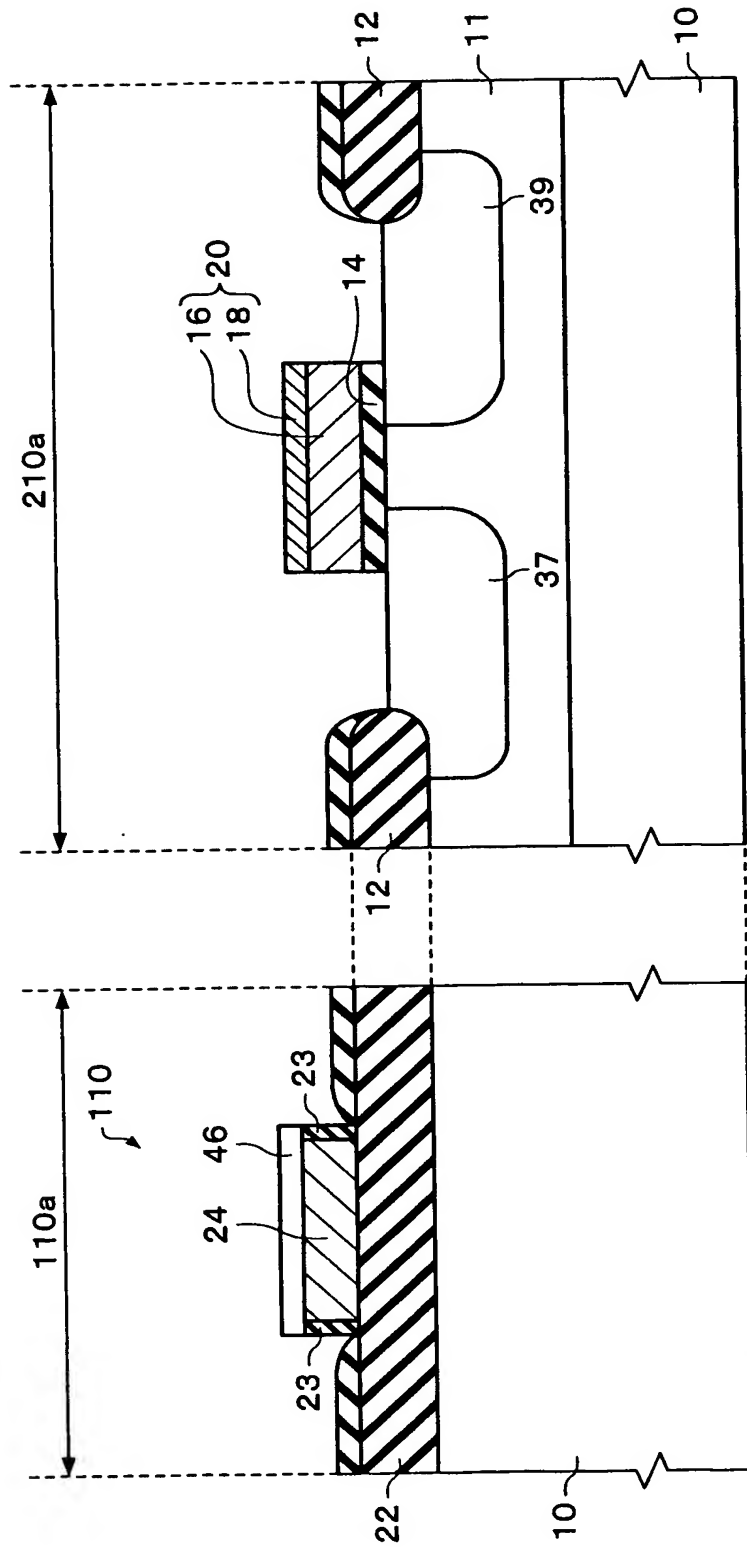
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 抵抗導電層を含む新規な半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置の製造方法は、抵抗導電層 2 2 と、M O S トランジスタ 1 0 0 とが同一の半導体層上に混在する半導体装置の製造方法であって、抵抗導電層の形成領域において、第 1 絶縁層 2 2 の上に抵抗導電層 2 4 を形成し、抵抗導電層 2 2 を覆うように保護層 2 6 を形成し、M O S トランジスタの形成領域にゲート絶縁層 1 4 およびゲート電極 2 0 を形成すること、を含む。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿 2 丁目 4 番 1 号  
氏 名 セイコーエプソン株式会社